

文章编号:1671-6833(2024)03-0096-07

# 一种基于 FPGA 的 SVPWM 硬件架构及其计算速度优化

刘德平, 辛云川, 刘子旭

(郑州大学 机械与动力工程学院, 河南 郑州 450001)

**摘要:** 为了提高七段式两电平 SVPWM 算法的调制速度并减少逻辑资源的使用量, 提出了一种基于 FPGA 的 SVPWM 硬件架构。在该硬件架构输入参考电压后, 首先, 进行基于 Clarke 逆变换的坐标变换, 通过一系列加法运算构建出含有三相占空比的 3 组中间变量, 同时通过 2 个异或运算从上述硬件布线中得到简化后的 2 bit 扇区判断条件; 然后, 根据简化后的 2 bit 扇区判断条件从以上 3 组中间变量中筛选出三相占空比, 并进行钳位保护, 按照自然采样法输出 PWM。以上过程形成一个整体, 在 FPGA 中只需 3 次触发, 便能在 2 个时钟周期内完成从参考电压输入到三相 PWM 输出的整个过程, 有效提高了计算速度。此外, 还给出了该硬件架构在不同的 FPGA 平台下的资源使用情况, 与其他方法相比, LUT 使用量由至少 500 个缩减至 300 个左右, 逻辑资源使用量降低。通过仿真与实物试验, 验证了所提硬件架构的有效性。

**关键词:** SVPWM; 硬件架构; Clarke 逆变换; FPGA; 计算速度优化

**中图分类号:** TM464 **文献标志码:** A **doi:** 10.13705/j.issn.1671-6833.2023.06.001

空间矢量脉宽调制技术(space vector pulse width modulation, SVPWM)具有母线电压利用率高、开关损耗少、输出谐波成分小等优点<sup>[1]</sup>。基于 SVPWM 的矢量控制方法以及直接转矩控制方法已经在高性能电机控制场合得到了广泛应用<sup>[2-3]</sup>。

SVPWM 算法属于实时算法, 更快的计算速度有利于提高最大开关频率与转速、减少控制延时。孙鹤旭等<sup>[4]</sup>对 SVPWM 算法进行改进, 提出了一种基于 120°AB 坐标系的 SVPWM 算法, 以互差 120°的基本矢量为基, 构建非正交坐标系, 在该坐标系下计算速度有所提高, 但增加了铜损耗。齐昕等<sup>[5]</sup>基于 DSP 平台, 利用一个压缩变换将基础电压矢量由 60°压缩至 45°, 可以快速地判断扇区, 该方法提高了计算速度, 同时减少了内存空间的使用量。FPGA 灵活性高, 其搭载的算法在本质上属于硬件电路, 适合运行对实时性要求较高的算法。Benedetto 等<sup>[6]</sup>基于 FPGA 提出了一种 SVPWM 的硬件结构, 预先计算  $\alpha\beta$  平面 1/6 区域的标准化停留时间, 存储于由 LUT 构成的优化后的内存之中, 基于查表法的思想, 只需输入若干参数即可完成三相占空比的计算, 效果与常规方法相同, 但是计算速度更快。

以往的研究大多针对 SVPWM 计算过程中的某个步骤进行优化, 优化效果不佳。本文从整体出发, 提出一种将零矢量分散的七段式 SVPWM 算法在 FPGA 中快速高效实现的硬件架构, 以兼顾模拟控制器的实时性和数字控制器的输出精度。该硬件架构整体考虑了 Clarke 逆变换与 SVPWM 算法之间的对称性和 FPGA 并行计算的特点, 灵活使用时序逻辑与组合逻辑, 充分挖掘可以复用的计算步骤, 将多个环节视为一个整体, 来完成占空比计算与 PWM 的输出。在逻辑资源消耗方面, 使用了 1 次乘法运算和若干加法与逻辑运算。在计算速度方面, 采用了 3 次时钟的上下边沿触发, 并在 2 个时钟周期内完成计算。在 PWM 输出方面, 陈增禄等<sup>[7]</sup>、刘健等<sup>[8]</sup>在 FPGA 中实现了自然采样方法, 证明自然采样较规则采样具有更佳的谐波水平, 因此, 本文亦选择自然采样作为 PWM 的输出方式, 来提高 SVPWM 算法的整体性能。

为了证明该硬件架构的效果, 本文进行了行为级仿真与实物验证。通过行为级仿真评估了该架构的计算速度以及输出效果, 并给出了该硬件结构在不同平台下的资源使用情况。通过实物验

收稿日期: 2023-05-16; 修订日期: 2023-06-16

基金项目: 河南省重大科技专项资助项目(171100210300-01)

作者简介: 刘德平(1966—), 男, 河南商丘人, 郑州大学教授, 博士, 主要从事先进制造技术方面的研究, E-mail: ldp@zzu.edu.cn。

引用本文: 刘德平, 辛云川, 刘子旭. 一种基于 FPGA 的 SVPWM 硬件架构及其计算速度优化[J]. 郑州大学学报(工学版), 2024, 45(3): 96-102. (LIU D P, XIN Y C, LIU Z X. A SVPWM hardware architecture based on FPGA and its computational speed optimization[J]. Journal of Zhengzhou University (Engineering Science), 2024, 45(3): 96-102.)

证,给出了接入逆变器与滤波器后实际测量输出波形。

1 SVPWM 的原理

在三相两电平逆变器中,每个半桥的上下桥臂开关状态互补,可以用 1 bit 表示,整个逆变器共有  $2^3$  个状态,构成 SVPWM 算法中的 8 个基本矢量。由基本矢量组成的平面如图 1 所示, $U_0$  与  $U_7$  为零矢量, $U_1$  至  $U_6$  为非零矢量。在任意时刻,控制器的指令将映射至某一基本矢量,在一个微小的周期  $T_s$  内,控制器交替发出基本矢量,由于电感绕组对电流具有惯性,可以按照式(1)等效合成任意方向的参考电压。

$$\int_0^{T_s} U_{ref} dt = \int_0^{T_i} U_i dt + \int_0^{T_j} U_j dt + \int_0^{T_0} U_{0,7} dt。$$
 (1)

式中: $U_{ref}$  为参考电压, $U_i$  与  $U_j$  为  $U_{ref}$  所在扇区的 2 个非零矢量。为了能够方便地在控制器中计算,需将式(1)简化为式(2)的形式:

$$\begin{cases} U_{ref} T_s = U_i T_i + U_j T_j + U_0 T_{0,7}; \\ T_s = T_i + T_j + T_{0,7}。 \end{cases} \quad (2)$$

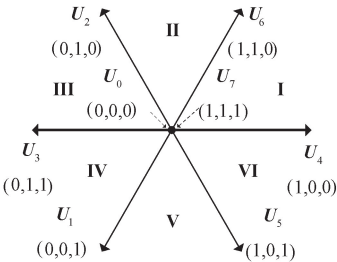


图 1 基本矢量平面  
Figure 1 Basic vector plane

本文采用七段式 SVPWM,以第 I 扇区为例,其合成方式如图 2、3 所示。其中,图 2 的基本矢量合成图与图 3 的 PWM 波形在形状上严格按照比例对应,共同表示七段式 SVPWM 的典型运行原理。显然,该典型运行原理可以拆解为一系列计算步骤,但其实现方式无法脱离具体的控制器平台。传统的 SVPWM 一般部署于 DSP 之中,而在 DSP 中运行 SVPWM 尚有以下不足之处:①DSP 按照拆解好的计算步骤串行执行指令,这决定了系统的实时性能不如并行的硬件结构;②DSP 中输出高精度的 PWM 主要依赖于定时器外设,一般使用规则采样法进行 PWM 的输出,难以实现自然采样;③DSP 中的定时器外设的数量是有限的,难以满足任意多的 PWM 通道的需求,而且当通道数量较多时,多个通道之间难以实现较为精确的同步。

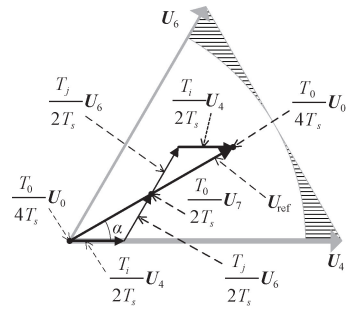


图 2 七段式矢量合成方式  
Figure 2 7-segment vector synthesis mode

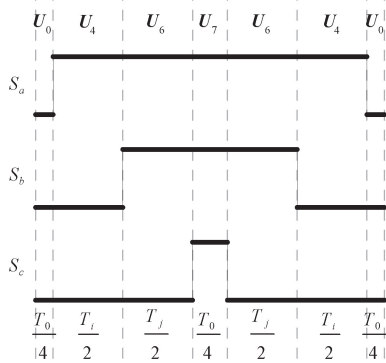


图 3 七段式矢量合成的 PWM 波形  
Figure 3 PWM waveform of 7-segment vector synthesis

2 SVPWM 的硬件优化算法

所述硬件结构分为 3 个部分,分别为占空比计算、溢出保护、PWM 比较生成,这 3 个部分密不可分,在设计阶段各部分的参数放在一起考虑。

2.1 占空比计算

首先需要定义输入变量、输出变量以及中间变量的精度与数据格式。由于在 FPGA 中浮点计算的代价比较大,因此需要将诸多变量先标么化,再定点化。本文将输入变量定义为直角坐标系下的  $ALPHA$ 、 $BETA$ ,用来表示目标矢量  $U_{ref}$ 。为了便于计算,先将二者的输入范围标么化为  $[-1,1]$ ,再将其定点化为 Q11 格式。 $ALPHA$  与基本矢量  $U_4$  同方向,具体的映射关系见图 4。

本文将输出变量定义为  $TA0$ 、 $TB0$ 、 $TC0$ ,均为 13 bit 有符号数,其中低 12 位定义为占空比。当  $U_{ref}$  未超出图 4 中六边形输入范围时, $TA0$ 、 $TB0$ 、 $TC0$  的符号位将会始终保持为 0,只有在超出该范围时,符号位才发生逆转,利用这一特性,在后文设计溢出保护功能。其余变量的数据格式见表 1。

$TA0$ 、 $TB0$ 、 $TC0$  的计算可以分为以下 3 个步骤。

步骤 1  $ALPHA$ 、 $BETA$  经过调整后的 Clarke 逆变换得到中间变量  $E$ 、 $F$ 、 $G$  与扇区信息  $SECTION$ ,该结构如图 5 所示。

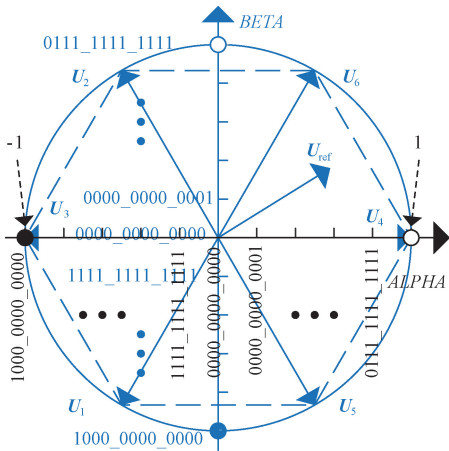


图 4 输入变量之间的映射关系

Figure 4 Mapping relationship between input variables

表 1 三相占空比计算过程中的主要变量

变量	数据格式	分类
$ALPHA$ 、 $BETA$	Q11	输入变量
$TA0$ 、 $TB0$ 、 $TC0$	Q12	输出变量
$TEMP$	Q11	乘法因子
$E$ 、 $F$ 、 $G$	Q1. 11	中间变量
$H$ 、 $I$ 、 $J$	Q3. 11	中间变量
$E0$ 、 $F0$ 、 $J0$	Q2. 11	中间变量
$E1$ 、 $F1$ 、 $J1$	Q2. 11	中间变量
$SECTION$	2 bit	扇区信息

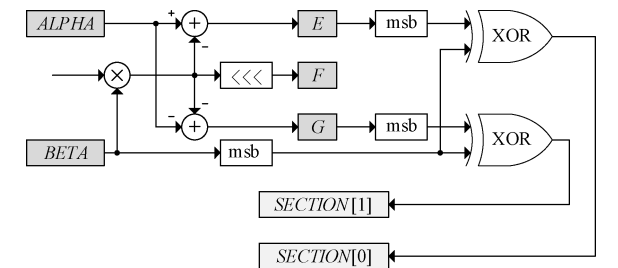


图 5 Clarke 逆变换与扇区信息

Figure 5 Inverse Clarke transform and sector information

中间变量  $E$ 、 $F$ 、 $G$  的计算遵循式 (3) 的变换规则:首先将  $ALPHA$  与  $BETA$  沿  $45^\circ$  线翻转;其次进行 Clarke 逆变换;最后放缩一定倍数,以简化计算。

$$\begin{bmatrix} F \\ G \\ E \end{bmatrix} = \frac{2\sqrt{3}}{3} \begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} ALPHA \\ BETA \end{bmatrix} \quad (3)$$

为了便于在 FPGA 中实现,式 (3) 按照式 (4)、(5) 的方式拆分成 1 个常数乘法、2 个加法和 1 个移位计算。

$$TEMP = BETA \times \frac{\sqrt{3}}{3} \quad (4)$$

$$\begin{cases} E = ALPHA - TEMP; \\ F = TEMP \lll 1; \\ G = -ALPHA - TEMP. \end{cases} \quad (5)$$

同时,可以通过 2 个异或运算得到扇区信息,其计算方式见式 (6),该部分利用变量的符号位,在 FPGA 中的计算代价较小。

$$\begin{cases} SECTION[1] = BETA_{msb} \wedge E_{msb}; \\ SECTION[0] = BETA_{msb} \wedge G_{msb}. \end{cases} \quad (6)$$

步骤 2 由  $E$ 、 $F$ 、 $G$  生成 3 组直接包含占空比信息的中间变量,如图 6 所示。

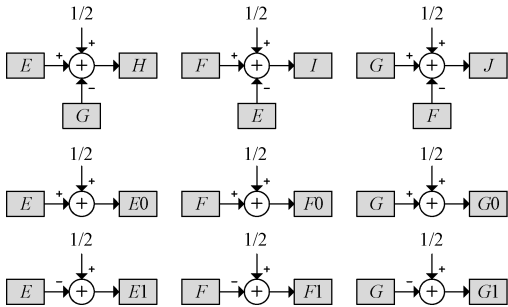


图 6 中间变量

Figure 6 Intermediate variables

该部分生成了 9 个中间变量  $H$ 、 $I$ 、 $J$ 、 $E0$ 、 $E1$ 、 $F0$ 、 $F1$ 、 $G0$ 、 $G1$ ,均由步骤 1 中的  $E$ 、 $F$ 、 $G$  变量通过加法运算获得。这 9 个变量同时进行计算,但是其中只有 3 个变量是真正的占空比。

步骤 3 根据获得的扇区信息,从 3 组中间变量中筛选出未经过溢出保护的含有符号信息的占空比,如图 7 所示。

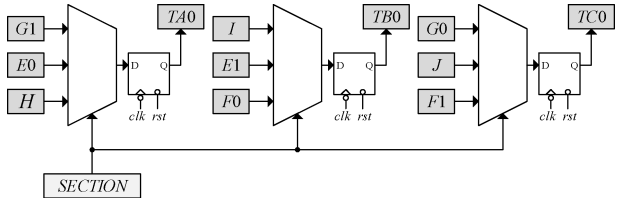


图 7 从中间变量中选出占空比

Figure 7 Select duty ratio from intermediate variables

该部分在步骤 2 中获得的 9 个中间变量中筛选出占空比,其筛选的依据为第一部分获得的 2 bit 扇区信息。其中的多路器具有  $2^2$  个分支,其中一个分支为默认选项。由于步骤 1 中的变换并非等幅值变换,因此可以将  $TA0$ 、 $TB0$ 、 $TC0$  强制按照 Q12 格式读取,这使得其最终结果恢复为真正结果。

整体来看,上述 3 个步骤主要由组合逻辑构成,  $TA0$ 、 $TB0$ 、 $TC0$  在这一小结作为输出 (并非最终的占空比输出),只使用了 1 次下降沿触发,与之对应,  $ALPHA$ 、 $BETA$  在时钟的上升沿触发。这种交错的时钟边沿触发提高了计算速度,保证了数据的稳定。

2.2 溢出保护

由于并非所有的输入变量都能处于线性调制范围,因此需要对其加以限制。由前文可知  $TA0$ 、 $TB0$ 、 $TC0$  均为 13 bit 的有符号数,而真正的占空比只能是无符号数,本文利用其符号位来使输出得到钳位。以  $TA0$  为例,当  $TA0$  的符号位为 0 时,只需将数值位传递给  $TA$  即可,当  $TA0$  的符号位由 0 上升为 1 时,则使  $TA$  取  $TA0$  在时间上最近的一个未溢出的数值位,当  $TA0$  的符号位由 1 恢复至 0 时,恢复数值位的传递。上述过程可以由式(7)、(8)所示的时间序列表示。

$$TA0^{IN} : \cdots, TA_{i-1}, TA_i, TA_{i+1}, \cdots, TA_{j-1}, TA_j, TA_{j+1} \cdots;$$

(7)

$$TA^{OUT} : \cdots, TA_{i-1}, TA_i, TA_i, \cdots, TA_i, TA_j, TA_{j+1} \cdots。$$

(8)

为了将以上思路应用于 FPGA 中,以  $TA$  为例可以将式(7)、(8)转变成图 8 所示的结构。与  $TA0$ 、 $TB0$ 、 $TC0$  的下边沿触发方式相对应, $TA$ 、 $TB$ 、 $TC$  采用时钟上边沿触发。

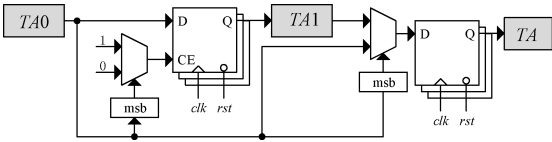


图 8 溢出保护  
Figure 8 Overflow protection

2.3 PWM 比较生成

将三相占空比与三角载波进行比较,便能生成 PWM。目前常用的生成方法为规则采样法,该方法在三角载波的固定位置对占空比信号进行采样,在半个或 1 个载波周期内保持不变,从而便于和三角载波比较,这种方式往往应用于 DSP 之中,而自然采样则全过程进行比较,这种方式适合于在模拟控制器中实现,图 9 展示了两种采样方式输出 PWM 的对比结果。

虽然规则采样法在实现过程中具有一定的简便性,但是自然采样法在谐波水平方面比规则采样法要更为优越<sup>[9]</sup>。DSP 中常见的定时器外设难以实现自然采样,而 FPGA 本身具有高度的灵活性,可以设计出具有差异化功能的定时器,从而实现自然采样,本文据此设计了图 10 的硬件结构。其中,三角载波由计数器 CNT 产生,主频频率为 100 MHz,CNT 的位数  $L$  决定了  $f_{carrier}$  的大小:

$$f_{carrier} = \frac{f_{clk}}{2^L}。$$

(9)

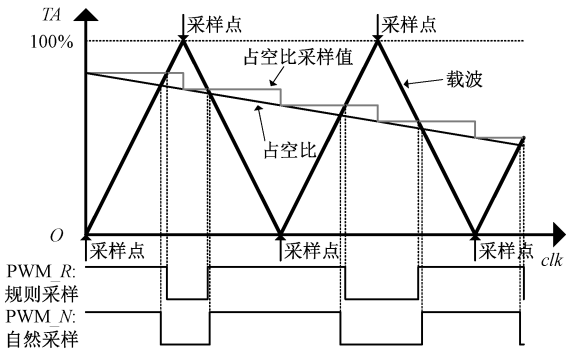


图 9 2 种采样方式对比  
Figure 9 Comparison of two sampling methods

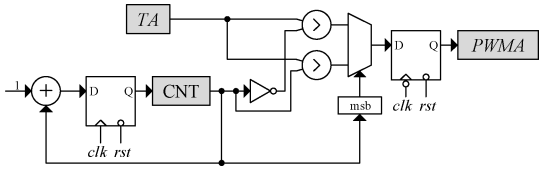


图 10 自然采样  
Figure 10 Natural sampling

当  $L$  为 13 时,载波频率为 12.207 kHz,此时 PWM 分辨率可以达到 12 bit。由于载波频率与 PWM 分辨率  $R$  不能同时无限制上升( $R < L - 1$ ),过高的占空比精度将无法体现为 PWM 分辨率,因此前文只采用 12 bit 作为最终的占空比精度,这也有利于节省逻辑资源。

3 仿真与验证

3.1 行为级仿真

仿真方案如图 11 所示,使用 Vivado 软件,采用 CORDIC 算法模块作为激励信号源<sup>[10]</sup>,产生幅值为 1 的一对正交的正弦信号,经过一定衰减后输入 SVPWM 模块,通过观测 SVPWM 的输入量与输出量来验证 SVPWM,该行为级仿真可以证明本文所述硬件结构在功能上的可行性。

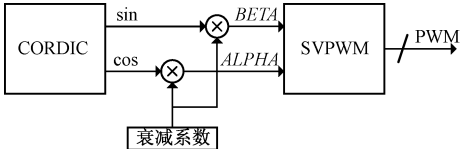


图 11 仿真方案  
Figure 11 Simulation scheme

首先,对于线性调制范围,设置衰减系数为 0.5,其仿真结果如图 12 所示。观察输入的  $ALPHA$  与  $BETA$  的波形,以及占空比  $TA$ 、 $TB$ 、 $TC$  的波形,可以看出该硬件结构在线性范围内符合预期。

当衰减系数大于 0.866 时,参考矢量便超出了线性调制范围,此时溢出保护发生作用。为了能较好地观察到预期波形,本文以衰减系数 0.93 为例,



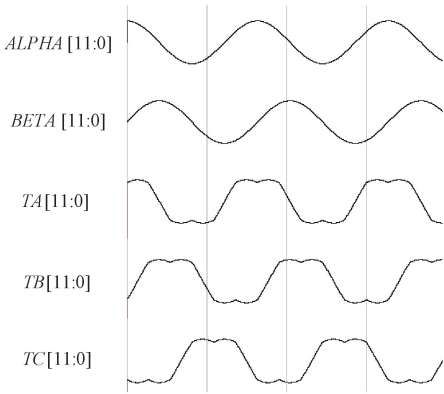


图 12 SVPWM 的输出结果

Figure 12 Output results of SVPWM

其仿真结果如图 13 所示。可以看出,当占空比在达到最大值后受到钳位,据此可以证明该硬件结构中的溢出保护功能是有有效的。

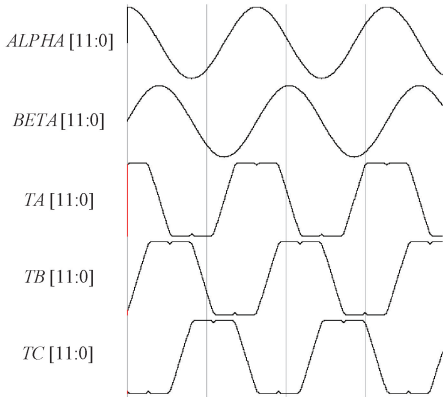


图 13 溢出保护功能生效

Figure 13 Overflow protection takes effect

以上部分验证了 SVPWM 的主要功能,接下来验证该硬件结构的计算速度。从输入 ALPHA 和 BETA 开始,到输出三路 PWM 结束,其时序如图 14 所示。输入的参考矢量模为 0.5,从 0°开始逆时针旋转,输出的 PWM 以零矢量  $U_7$  作为开头,其值为 (1,1,1)。可以看出,该硬件架构在 2 个时钟周期内完成了整个计算过程,当时钟频率为

100 MHz 时,该算法造成的延迟为 15 ns,其实时性已接近于模拟控制器的效果。表 2 给出了二电平七段式 SVPWM 在不同平台、不同方法下的计算速度对比。

为了评估所述硬件架构的资源利用水平,将所述算法使用不同的 EDA 软件部署于不同 FPGA 平台之中,得到其资源使用情况如表 3 所示。其中 ZYNQ 为 Xilinx 公司的 FPGA;CycloneIV 为 Inter 公司的 FPGA;GW1NR 为高云半导体公司的 FPGA。虽然不同型号的 FPGA 资源使用量略有不同,但是 LUT 资源使用量均保持在 300 个左右,节省了逻辑资源。

表 2 计算速度对比

Table 2 Calculation speed comparison

算法	计算时间	平台
本文算法	1.5 个时钟周期 (15 ns@ 100 MHz)	FPGA
文献[11]算法	8.83 μs	DSP
文献[12]算法	30 个时钟周期	FPGA
文献[13]算法	1.38 μs	FPGA

表 3 资源使用情况

Table 3 Utilization of resources on the chip

平台	资源使用量			
	LUT	FF	BRAM	DSP
ZYNQ	298	107	0	0
ZYNQ( use DSP)	229	107	0	1
Cyclone IV	323	77	0	0
GW1NR	297	107	0	1

3.2 实物验证

本文设计了两个实物验证方案,分别验证输出的端电压、线电流。三相逆变器采用 ZYNQ 系列的 xc7z020 为主控,母线电压为 24 V,在主控芯片中应用本文的 SVPWM 模块和 CORDIC 模块,死区功能通过模拟方法实现。

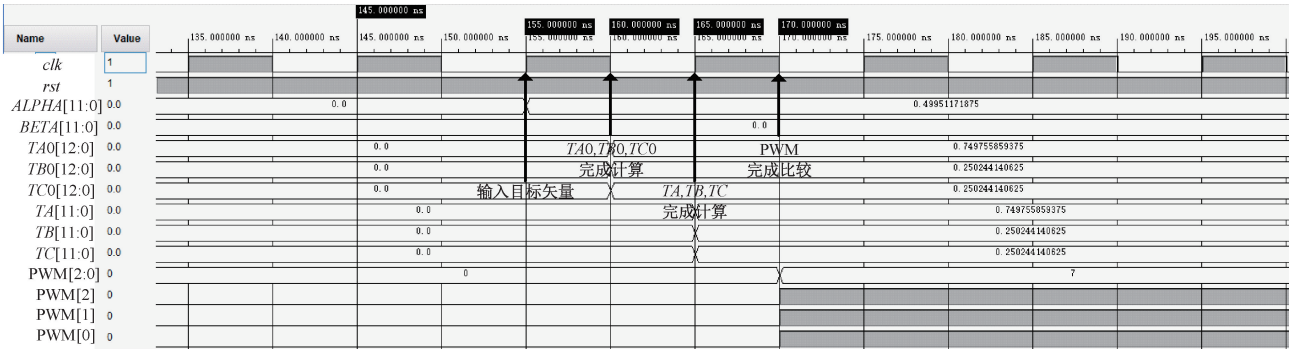


图 14 评估计算速度的时序图

Figure 14 Key sequence diagram for evaluating computing speed

实验验证方案一:验证SVPWM的端电压。为了能观测到与图12仿真相似的马鞍形信号,需要对输出的PWM进行合适的滤波,其具体参数如下:输入的参考电压 $U_{ref}$ 的模为0.5、转速为11.921 r/s、PWM频率为97.656 kHz、输出PWM的分辨率为9 bit。采用三相LC滤波,滤波电感 $L$ 为5 mH、滤波电容为20  $\mu$ F。输出效果如图15(a)所示(A相),可见经过LC滤波后,其实测波形与仿真波形较为一致。

实验验证方案二:验证SVPWM的线电流。该验证方案期望获得一个较为标准的正弦电流信号波形,采集方案为“采样电阻+隔离运放”。具体参数如下: $U_{ref}$ 的模为0.5、转速为381.470 r/s、PWM频率为48.828 kHz、输出PWM的分辨率为10 bit,采用三相LC滤波器,滤波电感 $L$ 为44 mH,滤波电容为20  $\mu$ F。将A相线与B相线接入10  $\Omega$ 的阻性负载,观测其中电流,如图15(b)所示,可见本文的SVPWM算法较好的执行了输入指令。

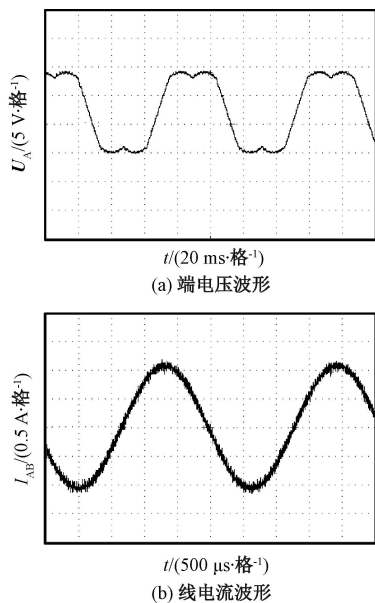


图15 端电压与线电流

Figure 15 Terminal voltage and line current

## 4 结论

本文基于FPGA平台设计了一种SVPWM的硬件架构,该架构主要目的在于提高二电平七段式SVPWM的调制速度和输出质量,同时尽可能降低计算资源利用水平。

(1)利用了FPGA的并行能力,在100 MHz的主频下,能够在15 ns内完成SVPWM的调制,速度较快。这有利于降低系统的延时,提高实时性。

(2)当输入超过线性范围时,能够做到占空比

钳位,提高了系统的安全性。

(3)实现了自然采样法,降低了输出PWM的误差,理论上可以提高输出PWM的质量。

(4)针对FPGA平台做出了特殊优化,使得资源使用量较少,整体上只用了1个乘法器,有利于在单个平台中实现更多的功能。

本文对以上功能进行了仿真与实物试验,试验结果表明该硬件结构是可行的。

## 参考文献:

- [1] 高莹,谢吉华,陈浩. SVPWM的调制及谐波分析[J]. 微特电机, 2006, 34(7): 10-12, 25.  
GAO Y, XIE J H, CHEN H. Modulation and harmonic analysis of SVPWM[J]. Small & Special Electrical Machines, 2006, 34(7): 10-12, 25.
- [2] 曹原,尉乔南. 静止同步补偿器新型双闭环控制策略研究[J]. 郑州大学学报(工学版), 2015, 36(4): 19-23.  
CAO Y, YU Q N. Research on a novel double closed loops control method of STATCOM[J]. Journal of Zhengzhou University (Engineering Science), 2015, 36(4): 19-23.
- [3] 白国长,吴贺松,郑鹏. 基于立方型转矩分配函数的SRM直接转矩控制[J]. 郑州大学学报(工学版), 2022, 43(1): 48-54.  
BAI G C, WU H S, ZHENG P. Direct torque control of switched reluctance motor based on cubic torque sharing function[J]. Journal of Zhengzhou University (Engineering Science), 2022, 43(1): 48-54.
- [4] 孙鹤旭,荆锴,董砚,等. 基于120°坐标系的SVPWM算法研究[J]. 电工技术学报, 2016, 31(5): 52-59.  
SUN H X, JING K, DONG Y, et al. Research of SVPWM algorithm based on 120° coordinates system[J]. Transactions of China Electrotechnical Society, 2016, 31(5): 52-59.
- [5] 齐昕,王冲,周晓敏,等. 一种低硬件资源消耗快速SVPWM算法[J]. 电机与控制学报, 2014, 18(4): 31-38.  
QI X, WANG C, ZHOU X M, et al. Low hardware resource consumption fast SVPWM algorithm[J]. Electric Machines and Control, 2014, 18(4): 31-38.
- [6] BENEDETTO L D, DONISI A, LICCIARDO G D, et al. Implementation of hardware architecture for SVPWM with arbitrary parameters[J]. IEEE Access, 2022, 10: 32381-32393.
- [7] 陈增禄,毛惠丰,周炳根,等. SPWM数字化自然采样法的理论及应用研究[J]. 中国电机工程学报, 2005, 25(1): 32-37.  
CHEN Z L, MAO H F, ZHOU B G, et al. A study on

theory and application of digital natural sampling based SPWM[J]. Proceedings of the CSEE, 2005, 25(1): 32-37.

[ 8 ] 刘健, 张号, 曾华, 等. 基于 FPGA 技术的三电平自然采样 SPWM 全数字化理论研究与实现[J]. 中国电机工程学报, 2017, 37(5): 1498-1506.

LIU J, ZHANG H, ZENG H, et al. Theoretical research and realization of three-level natural sampling SPWM full digitization based on FPGA technology[J]. Proceedings of the CSEE, 2017, 37(5): 1498-1506.

[ 9 ] HOLMES D G, MCGRATH B P. Opportunities for harmonic cancellation with carrier-based PWM for a two-level and multilevel cascaded inverters[J]. IEEE Transactions on Industry Applications, 2001, 37(2): 574-582.

[ 10 ] 蔡权利, 高博, 龚敏. 基于 FPGA 的 CORDIC 算法实现[J]. 电子器件, 2018, 41(5)1242-1246, 1256.

CAI Q L, GAO B, GONG M. Implementation of CORDIC algorithm based on FPGA[J]. Chinese Journal of Electron Devices, 2018, 41(5)1242-1246, 1256.

[ 11 ] 王光, 王旭东, 马骏杰, 等. 一种快速 SVPWM 算法及其过调制策略研究[J]. 电力系统保护与控制, 2019, 47(3): 136-145.

WANG G, WANG X D, MA J J, et al. A fast SVPWM algorithm and its overmodulation strategy[J]. Power System Protection and Control, 2019, 47(3): 136-145.

[ 12 ] 吴春, 陈子豪, 傅子俊. 永磁同步电机全速范围无位置传感器控制及 FPGA 实现[J]. 电机与控制学报, 2020, 24(7): 121-129.

WU C, CHEN Z H, FU Z J. Sensorless control of permanent magnet synchronous machines in full speed range and FPGA implementation[J]. Electric Machines and Control, 2020, 24(7): 121-129.

[ 13 ] 周京华, 王晨, 张新雷, 等. FPGA 全数字电力电子变换控制器设计[J]. 电机与控制学报, 2021, 25(8): 99-112.

ZHOU J H, WANG C, ZHANG X L, et al. Design of FPGA full digital power electronic conversion controller[J]. Electric Machines and Control, 2021, 25(8): 99-112.

A SVPWM Hardware Architecture Based on FPGA and Its Computational Speed Optimization

LIU Deping, XIN Yunchuan, LIU Zixu

(School of Mechanical and Power Engineering, Zhengzhou University, Zhengzhou 450001, China)

**Abstract:** In order to improve the modulation speed of seven segment two-level SVPWM algorithm and reduce the use of logic resources, a hardware architecture of SVPWM based on FPGA was proposed. After inputting the reference voltage, the hardware architecture first carried out the coordinate transformation based on the inverse Clarke transform, constructed three groups of intermediate variables containing three-phase duty cycle through a series of addition operations, and obtained the simplified 2 bit sector judgment conditions from the above hardware wiring through two XOR operations. Then, according to the simplified 2 bit sector judgment conditions, the three-phase duty cycle was selected from the above three groups of intermediate variables, and clamp protection was carried out, and PWM was output according to the natural sampling method. The above process formed a whole. The whole process from reference voltage input to three-phase PWM output had been completed in two clock cycles with only three triggers in FPGA, which effectively improved the calculation speed. In addition, the resource usage of the hardware architecture with different FPGA platforms was also given. Compared with other methods, the LUT usage was reduced from at least 500 to about 300, and the logical resource usage was reduced. The effectiveness of the proposed hardware architecture was verified by simulation and physical test.

**Keywords:** SVPWM; hardware architecture; inverse Clarke transform; FPGA; optimization of computing speed