

# VHDL 语言中数值系统的研究与应用

高国勇<sup>1</sup>, 刘冬萍<sup>2</sup>

(1. 中国人民解放军信息工程大学基础部, 河南 郑州 450002; 2. 郑州广播电视学校, 河南 郑州 450002)

**摘 要:**介绍了在计算机辅助设计中运用 VHDL 语言进行硬件描述时常用的各种数值系统, 讨论了不同类型电路其相应数值类型的配置原则, 针对运用 VHDL 语言进行系统描述和系统仿真中出现的总线冲突问题及不确定值的传递问题, 阐明了运用判决函数解决总线冲突的方案及判决函数的算法实现, 并简要说明了运用更大的数值系统为判决函数提供更多的结点信息来解决不确定值的传递问题的方法。

**关键词:** VHDL 语言; 数值系统; 判决函数; 总线冲突

**中图分类号:** TN 702      **文献标识码:** A

随着微电子技术的发展, 集成电路的设计规模越来越大, 设计复杂度也越来越高, 典型的布尔方程和逻辑图描述硬件设计的方法越来越显得不能胜任, 尤其是在面向 FPGA 和 ASIC 的设计占硬件设计的比例越来越高的今天, 运用硬件描述语言, 在高级抽象层直接进行硬件设计, 受到人们的重视. 1987 年 IEEE 组织接受美国国防部提出的以 VHDL( VHSIC( Vary High Speed Integrated Circuit ) HARDWARE DESCRIPTION LANGUAGE ) 硬件描述语言为标准的 HDL, 1993 年作了若干修改后, VHDL 小组制订出了新的标准, 称为 VHDL '93. 目前大多数公司的 EDA 系统均支持 VHDL 语言.

## 1 数值系统的配置

大家都熟悉了典型的布尔代数设计逻辑电路的方法, 其中的信号和数据具有二值性或三态特点. 但在 VHDL 语言中只使用二值或三值数据去描述硬件电路的设计, 或者进行系统仿真是远远不够的, 它会产生许多不能表示的输出信号和错误状态. VHDL 语言定义了很强的数据类型, 其适应性也很广泛, 正是由于这些数据类型, 才使得 VHDL 语言能够在各个层面甚至在高层次的系统级描述和创建算法模型方面具有很强的能力.

对于简单的电路来讲, 用二值系统就能很好地描述, 其数据类型可定义为 TYPE BIT IS( 0, 1 ), 电路的输入、输出在任何时候的取值仅为( 0, 1 )两种状态之一, 它是 VHDL 语言中的标准数据类型.

但大多数数字系统中, 构成该系统的电路结构及工艺是复杂多样的, 在整个系统中, 所运用的数据也可能是多种多样的, 对常见的数字电路中的数字信号的研究表明, 只运用两种状态不可能正确描述电路实际状态的真实情况.

对于两个 TTL 与非门的推拉输出级直接相连, 当两个输出值相反时, 即使不损坏管子, 总输出线上的电平将是 0 或 1, 或者是在 0 伏到 5 伏之间的不确定的电压值, 此状态在 VHDL 语言中常用数据 'X' 表示; 'X' 值的引入对系统设计及仿真带来许多好处, 在系统启动时, 所有的信号和状态均可被认为 'X' 值. 另外, 为了解决实际出现的非逻辑电平的问题; 'X' 值的引入也是很好的解决方案. 例如解决总线冲突时, 可知一般在一条总线上挂接许多三态门电路, 平时不同的门电路分时工作, 但在系统启动或是某种干扰情况下, 不同的门电路可能同时输出逻辑电平, 从而产生总线竞争( 冲突 ), 相当于两个 TTL 门电路的输出直接连接在一起的情况. 此时, 仿真器必须能预测出正确的输出值, 从而解决冲突. 解决冲突可根据实际电路来利用不同的判决函数完成. 图 1 所示是用 'X' 值表示的 TTL 电路冲突时的电路及真值表.

对于不同类型的电路, 其输出值还应考虑不同电路输出信号的强度问题, 总的输出结果一般取决于信号的强度, 强度值大信号则优先输出.

共享总线结构的电路, 总线驱动器的输出需要有一个特殊的状态, 即高阻状态, 在 VHDL 语言

中 相应地用数据‘Z’表示。在四态数值系统中，常用(0,1,X,Z)4个符号表示上述逻辑状态,在VHDL语言中定义为TYPE名称IS(‘0’;‘1’;‘X’;‘Z’),它是VHDL语言中常用的数据类型,能较好地描述TTL电路的工作过程。

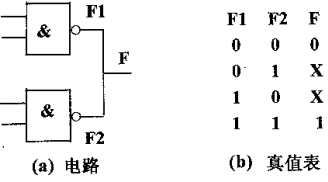


图 1 TTL 电路冲突时的电路及真值表

在很多规模较大的系统中,其电路往往不是单一的TTL电路,MOS电路、ECL电路等也在其中大量使用,在不同工艺类型的电路混合使用时,接口结点处的信号用0,1,X,Z表示可能已是无能为力,为了更准确地描述实际信号的情况,VHDL语言定义了九值数值系统.从信号的强度方面可定义为3种:高阻表示为Z,电阻强度表示为R,强强度表示为F.逻辑值也分为3种:0,1,X.用强度值和逻辑值的不同组合Z0,Z1,ZX,R0,R1,RX,F0,F1,FX组成九值数值系统.其中F0,F1,FX相当于三值系统中的0,1,X,分别表示地、电源、强强度不定值;R0,R1,RX可以描述信号强度值弱于F的电路信号.例如,电源经过上拉电阻输出高电平可认为其状态信息为R1;由MOS电路的分析可知,逻辑值0和1的强度值是不尽相同的,下面以NMOS反相器输出信号的强度分析为例进行讨论,其电路如图2所示。

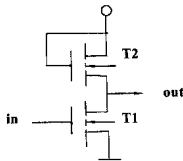


图 2 NMOS 反相器

负载管 T2 始终处于导通状态,为保证 OUT 输出尽可能接近 0V 电平,T2 的导通内阻  $r_D$  制作得较大.当 OUT 输出 0 时,可认为是强强度逻辑 0 值,表示为 F0;而当 T1 截止,输出逻辑值为 1,由于  $r_D$  较大,其强度值为 R,信号值为 R1.由此可见,对 NMOS 反相器来讲,逻辑 0 的强度值大于逻辑 1 的强度值,当反相器输入值为 X 时,其输出分别为 F0 和 R1.在 VHDL 语言中,当不能预知强度和逻辑值时,应从最坏的情况出发,来判定信号值的最终输出.上述电路其输出有逻辑值 0,1,其强

度应取 F,故最后信号值输出为 FX.

在实际使用的系统中,不同厂家对系统状态的定义及符号可以不同,在 VHDL 语言包集合 STD-LOGIC-1164 中定义的符号及含义如下<sup>[1]</sup>:

TYPE STD-ULOGIC IS(‘U’为初始状态;‘X’为强强度不确定状态;‘0’为强强度 0 状态;‘1’为强强度 1 状态;‘Z’为高阻状态;‘W’为弱不确定状态;‘L’为弱强度 0;‘H’为弱强度 1;‘-’为任意状态;).

在系统的设计和仿真中,根据实际需要可采用不同的数值系统及其子集.九态数值系统是 IEEE 新制定的标准化数据类型,是在 VHDL 语法以外添加的数据类型,归属到用户定义的数据类型中,使用时在程序中必须写出库说明语句和包集合的说明语句,该数值系统支持不同工艺芯片的系统集成,如 TTL,CMOS,NMOS,ECL,TTLOC.该数值系统为硬件系统的设计和仿真提供了强有力的支持,使 VHDL 语言设计智能化得以大大提高.

在 VHDL 语言中,除九态数值系统外,还定义了十二态和四十六态数值系统,这些数值系统定义了更多的符号来表示更多种信号状态信息.在十二态和四十六态数值系统中还定义了更多的强度值,可以描述存储器和弱上拉电阻数学模型的弱电阻强度值,此强度值介于高阻状态和电阻强度之间;有可以描述无电容的结点即结点不能存储电荷,如网络被切断的情况.在这种数值系统中,信号状态值可用区间的形式表示,对于不确定的值,不论是逻辑值还是强度值,不确定的将跨越若干乃至整个数值区间.这些数值系统尤其是四十六态数值系统,定义了非常详尽的状态信息,几乎可以涵盖实际所需.区间划分可以为判决函数方便地提供结点的状态信息并灵活处理未知状态,可以制止因使用小数值系统时而产生的“X”值的传递问题.

在 VHDL 语言中的 STD-LOGIC 包集中,对十二态和四十六态数值系统都作了定义,相应地也给出了判决函数,用户可根据自己的实际需要利用该数值类型或其中的子集<sup>[2]</sup>.

## 2 判决函数

判决函数用户可以自己定义,也可以调用库中的判决函数.判决函数的输入数据类型是一个一维非限定数组信号类型,在每个模拟周期内,对应的欲决断信号活跃时,决断函数被隐含调用.要调用的函数可根据具体的电路裁定,对 TTL 电路

表现为线'与'功能'对 ECL 电路表现为线'或'功能'即判决函数在处理竞争信号的逻辑关系时是不相同的.在 VHDL 语言中的 STD - LOGIC - 1164 包集中定义了判决函数,总线输出信号的判决时,可以调用该判决函数,用来描述总线结构的行为,也可以解决总线冲突的判决问题.该包集为解决总线冲突定义了一个二维数据表供判决函数使用<sup>[1]</sup>.如下所示:

```
CONSTANT resolution - table 'stdlogic _ table' :=(
    U  X  0  1  Z  W  L  H  -
U ( U  U  U  U  U  U  U  U  U ),
X ( U  X  X  X  X  X  X  X  X ),
0 ( U  X  0  X  0  0  0  0  X ),
1 ( U  X  X  1  1  1  1  1  X ),
Z ( U  X  0  1  Z  W  L  H  X ),
W ( U  X  0  1  W  W  W  W  X ),
L ( U  X  0  1  L  W  L  W  X ),
H ( U  X  0  1  H  W  W  H  X ),
- ( U  X  X  X  X  X  X  X  X ),
);
```

输入的信号向量 s 的位数是总线上所带驱动器的个数,每位上的取值均可取九值数值系统中的任一个,然后送入判决函数进行判决.判决函数如下所示<sup>[3]</sup>:

```
FUNCTION resolved ( s :std - ulogic - vector )
RETURN std - ulogic IS
    VARIABLE result 'std - ulogic := ' Z ' s ;
BEGIN
IF ( s 'LENGTH = 1 ) THEN RETURN s ( s 'LOW );
```

```
ELSE
FOR i IN s 'RANGE LOOP
    result := resolution - table ( result s ( i ));
END LOOP ;
END IF ;
RETURN result ;
END resolved ;
```

判决函数的判决方法是将不同驱动器输出值对应到上述二维数据表格中,利用查表方法进行判决.如果不只一个驱动器,判决方法是将比较的中间结果和后边的输入进行重复比较,从而得到欲决断信号的最后取值.正常情况下只有一个驱动器有输出,如输入向量为( 0,Z,Z ),则最后信号取值应为 0.若有冲突如输入向量为( 0,1,Z ),则最后信号取值应为 X.其判断结果完全符合实际.

3 结束语

通过对 VHDL 语言数值系统的研究,阐明了在应用 VHDL 设计复杂的硬件系统时,如何根据不同的需求,选择适合的数值系统,构造好的判决函数,解决总线冲突'X'值的传递等设计中遇到的实际问题,从而提升系统的设计和仿真能力.

参考文献:

[ 1 ] 侯伯亨,顾 新.VHDL 硬件描述语言与数字逻辑电路设计[ M ].西安:西安电子科技大学出版社,1997.  
[ 2 ] 王小军.VHDL 简明教程[ M ].北京:清华大学出版社,1997.  
[ 3 ] XILINX. The Programmable Logic Data Book[ M ]. Newyork :XILLNX CO. LTD ,1998.

Research and Application of Numerical Value System in VHSIC Hardware

GAO Guo - yong<sup>1</sup> , LIU Dong - ping<sup>2</sup>

( 1. Department of Foundating ,Information Engineering University of PLA ,Zhengzhou 450002 ,China ; 2. Zhengzhou Broadcasting and Television School ,Zhengzhou 450002 ,China )

**Abstract** :This paper recommends various numerical value system in common use in VHDL in the CAD of hardware electron system, and how to consider different collocation of numerical value system in allusion to different practical circuit. It discusses how to utilize numerical value system and verdict function to resolve bus collision in the description of VHDL and simulation of system. And it also recommends how to use a large scale numerical value system to resolve the problem of transmission of uncertain numbers.

**Key words** :VHDL ; numerical value system ; verdict function ; bus collision