

# 容性负载对开关电路脉冲波形的影响

魏 秀 兰

(电机系)

## 提 要

开关电路是脉冲数字系统中常用电路之一, 由于负载电容的影响, 限制了该电路的工作速度。本文分析了负载电容的具体影响, 并提出了一些改善措施。

**关键词:** 容性负载 脉冲波形

开关电路是脉冲数字系统中基本逻辑电路之一, 在无线电技术、电力工程和计算技术中获得了极其广泛地应用。

## 一、RC瞬变过程对开关电路输出波形的影响

当开关电路带有容性负载时, 由于电容器充放电的影响, 使输出波形的上升和下降时间都将延长。下面以基本开关电路——反相器为例, 说明容性负载对输出波形前后沿的影响。图1(a)中的 $C_L$ 代表电路输出端的分布电容, 或下级电路的输入电容。这个电容实际上是一个交流负载, 它对电路的稳定状态不会产生什么影响, 但在状态变化时影响很大。由于 $C_L$ 的存在, 即使晶体管本身的开关特性很好, 也会使输出电压波形变得很不理想, 图(b)和图(c)分别画出了没有 $C_L$ 和有 $C_L$ 时的输出波形, 具体分析如下:

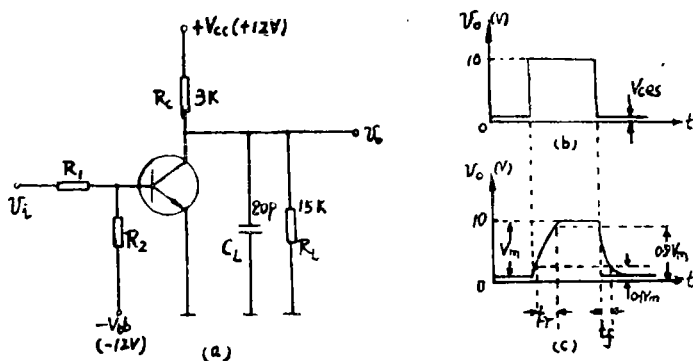


图1

电路参数如图所示, 当晶体管截止时, 其等效电路如图2所示, 根据三要素可得:

$$u_o(\infty) = V_{ces} = 0.3V$$

本文1987年4月24日收到

$$v_o(\infty) = \frac{V_{ce}}{R_c + R_L} \cdot R_L$$

$$= 10 \text{ V}$$

$$\tau = C_L \cdot R_c // R_L$$

$$= 0.05 \mu\text{s}$$

由此可计算出上升时间 $t_r$

$$t_{0.1} = \tau \ln \frac{v_o(\infty) - v_o(0+)}{v_o(\infty) - V_o(0.1)}$$

$$= 0.00544 \mu\text{s}$$

$$t_{0.9} = \tau \ln \frac{v_o(\infty) - v_o(0+)}{v_o(\infty) - v_o(0.9)}$$

$$= 0.1315 \mu\text{s}$$

$$t_{0.9} - t_{0.1} = 0.126 \mu\text{s}$$

当晶体管饱和时，其等效电路如图3所示，同理可得：

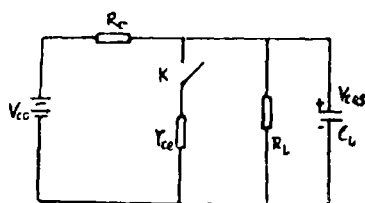


图2

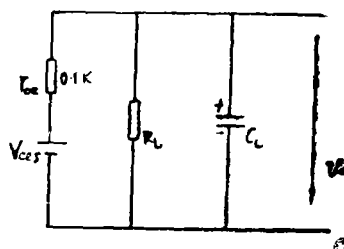


图3

$$v_o(0+) = 10 \text{ V}$$

$$v_o(\infty) = 0.3 \text{ V}$$

图中 $V_{ces}$ 为饱和压降， $r_{ce}$ 为饱和内阻。则时间常数为：

$$\tau = r_{ce} // R_L \cdot C_L$$

$$= 0.002 \mu\text{s}$$

由此可计算出下降时间 $t_f$ ：

$$t_{0.1} = \tau \ln \frac{v_o(\infty) - v_o(0+)}{v_o(\infty) - v_o(0.1)}$$

$$= 0.0045 \mu\text{s}$$

$$t_{0.9} = \tau \ln \frac{v_o(\infty) - v_o(0+)}{v_o(\infty) - v_o(0.9)}$$

$$= 0.00015 \mu\text{s}$$

$$\text{则 } t_f = t_{0.1} - t_{0.9}$$

$$= 0.0043 \mu s$$

由此可见由于输出端存在电容 $C_L$ ,使输出脉冲的边沿变坏了,特别是对上升沿影响更大。这在脉冲数字技术中,将会影响系统的工作速度和定时的准确性,所以必须设法加以改善。

## 二、改善输出脉冲前、后沿的措施

### 1、利用钳位电路克服 $C_L$ 对上升沿的影响

在反相器的输出端接一个钳位二极管 $D$ 和一个钳位电源 $E$ ,如图4所示,一般要求 $E \leq V_{cc} / (2-3)$ 下面简单说明它的工作过程。

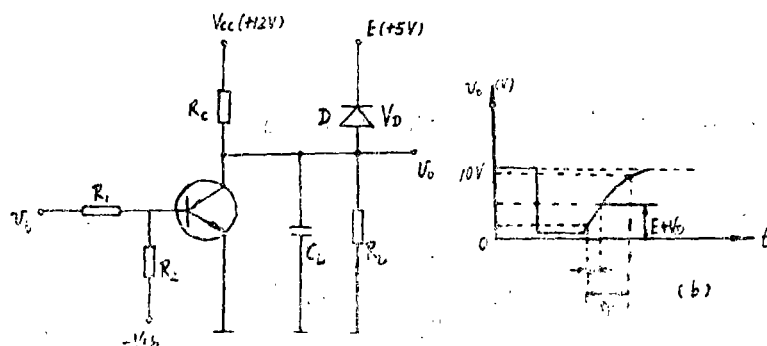


图4

当 $v_i$ 由高电平下降为低电平时,三极管截止, $V_{cc}$ 开始通过 $R_c$ 对 $C_L$ 充电,充电时间常数为: $\tau = R_c \parallel R_L \cdot C_L$ ,由于开始时, $v_o = V_{cc}$ ,电平很低,所以加在二极管 $D$ 上的电压是反向偏置,使 $D$ 截止。但随着 $C_L$ 的不断充电, $v_o$ 不断升高,当 $v_o = E + V_D$ 时, ( $V_D$ 为二极管 $D$ 的正向导通电压降)。加在二极管 $D$ 上的电压已转变为正向导通电压值,使 $D$ 导通,于是 $v_o$ 被强制等于 $(E + V_D)$ ,不再变化,如图4(b)所示。虽然 $v_o$ 的高电平受到了限制,不能高过 $(E + V_D)$ ,但 $v_o$ 的上升时间 $t'_r$ 比不加钳位时的上升时间 $t_r$ 大为缩短,但它是靠牺牲输出电压幅度而得到的。下面具体计算一下 $t'_r$ 值的大小。

$$\because \tau = R_c \parallel R_L \cdot C_L = 0.05 \mu s$$

$$\therefore t_{0.1} = 0.0054 \mu s$$

$$t(E + V_D) = 0.0407 \mu s$$

$$\therefore t_r = t(E + V_D) - t_{0.1} = 0.0353 \mu s$$

由上述计算可见,没有钳位时 $t_r = 0.126 \mu s$ ,加了钳位以后 $t'_r = 0.0353 \mu s$ ,上升沿时间大为缩短。

### 2、采用推挽输出电路

在集成电路中为了减小负载电容的影响,基本门电路的输出级常采用推挽电路,使电容的充电、放电均经小电阻进行,以加快其速度,减少边沿时间,原理电路

如图5所示。

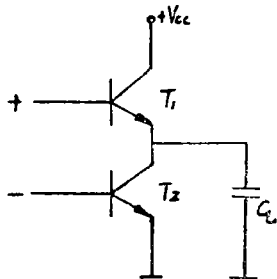


图5

输出高电平时,  $T_1$  饱和导通,  $C_L$  经  $T_1$  饱和电阻快速充电; 输出低电平时,  $T_2$  饱和导通,  $C_L$  经  $T_2$  饱和电阻快速放电。

采用这种方法不仅输出波形前、后沿时间都小, 并且输出幅度大, 电源电压利用率高。

### 3、利用隔离二极管隔开负载电容, 改善脉冲前沿

图6电路是由两个反相器互相作正反馈耦合而构成的多谐振荡器。假定电路在某一瞬间  $T_1$  由导通变为截止,  $T_2$  由截止变为导通, 于是此时  $T_2$  的基极电位近似等于零伏, 这相当于电容  $C_1$  的右端接地, 见图7。  $C_1$  作为负载电容接入了  $T_1$  的输出回路, 这同图1的情况完全一样, 从而导致脉冲上升沿变坏。

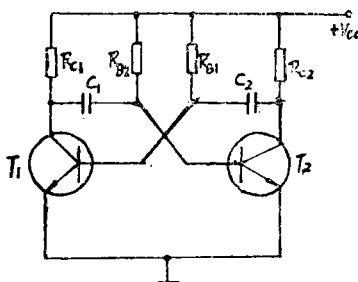


图6

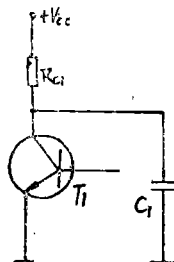


图7

为了改善输出波形的上升沿, 可在电路中接入二极管  $D_1$ 、 $D_2$  和电阻  $R'_{c1}$  和  $R'_{c2}$ , 见图8。这时电容器原先的充电回路  $V_{cc} \rightarrow R_{c1} \rightarrow C_1 \rightarrow$  地被二极管  $D_1$  (或  $D_2$ ) 所隔断。(因三极管由饱和到截止时, 二极管处于反向偏置), 而经由  $V_{cc} \rightarrow R'_{c1} \rightarrow C_1 \rightarrow$  地充电。由于负载电容对晶体管集电极不再起作用, 从而使输出波形的上升沿得以大大改善, 见图9。

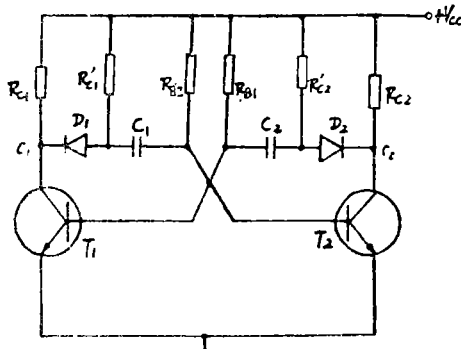


图8

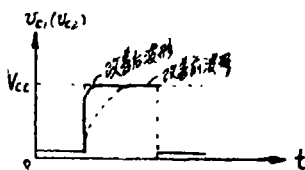


图9

#### 4、利用加速电容C充放电的作用缩短晶体管的开通和关闭时间

晶体管的开关特性将影响输出波形的边沿。晶体管开关状态的转换存在着一个过渡过程, 由于两个过程都需要占用一定的时间, 所以晶体管的导通和截止需要一定的开通和关闭时间。要想改善输出脉冲波形的前、后沿, 就必须尽量缩短这两个时间。即(1)在晶体管进入饱和状态的过程中, 给基极注入一个比稳态时更大的电流, 以加快基区中电荷的积累; (2)晶体管进入截止状态时, 给基极一个较大的反向电流, 使基区中原来积存的电荷迅速消散掉。

为了实现上述设想, 我们在图1中的电阻 $R_1$ 两端再并上一个电容C, 如图10所示, 由于C的存在, 可以使三极管的基极电流波形改变为接近上述设想的要求, 从而有效地缩短晶体管的开通和关闭时间, 起到了加速开关速度的作用。简单分析如下:

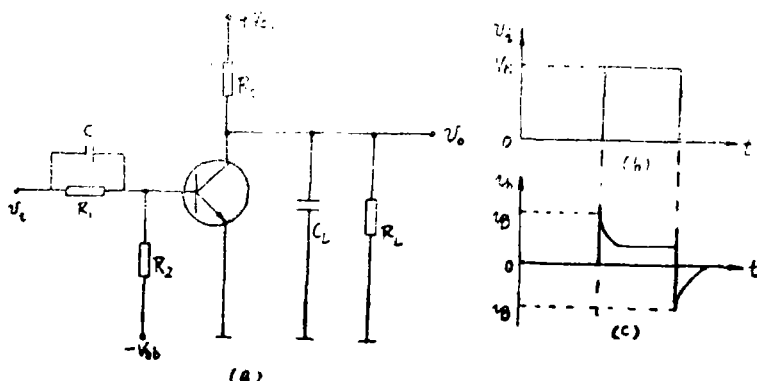


图10

我们知道, 在输入信号电压为零的稳定状态下, 电容C上电压为零, 这时基极电流 $i_B = 0$ , 三极管处于截止状态。当 $v_i$ 在 $t_1$ 时刻突然由零跃升到 $V_H$ 时, 由于C上电压不能跃变, 所以在 $v_i$ 跃升的瞬间, 电容C如同短路一样, 使输入信号 $v_H$ 全部加到基极与发射极之间, 因此基极正向电流在开始时很大, 如图10(c)所示的 $i_B$ 。所以能使基区和集电区的电荷迅速积累起来, 让晶体管很快达到饱和导通, 有效的减小了晶体管的开通时间。

当 $v_i$ 在 $t_2$ 时刻突然由 $v_H$ 跃变到零时, 电容C上的充电电压将以反向偏压的形式加到三极管的基极和发射极之间, 产生了很大的瞬态反向基流, 使基区存储的电荷迅速消散, 让晶体管很快回到零偏置的截止状态, 从而有效地缩短了晶体管的关闭时间。

总之, 在开关电路中接入加速电容C, 可以瞬间提供很大的正向基流和反向基流, 既加速了导通, 又加速了截止, 所以加速电容在脉冲和开关电路中是经常采用的。

通过上面的叙述, 可以看出负载电容对开关电路输出波形影响的具体情况。文中提出的几种改善波形边沿的方法, 不仅可用于分立元件电路, 也可用于集成电路, 它们均可有效地减小边沿时间, 提高电路的工作速度。

(下转第95页)

## STUDY OF HIGH QUALITY WEAR—RESISTING CHROME OF ELECTROPLATING TECHNOLOGY

(Zheng Zhen Light Industrial College)

Feng Hui

—Abstract

This paper is devoted to the study of electroplating high quality wear—resisting chrome on large workpiece, as has been found there are two basic factors for influenced on coating of quality: One is whether workpiece surface has inclusions and hollow form gaps or not, as well as, in processes of treatment before electroplating, cause of forming the kind of hollow form gaps are that inclusions on workpiece surface was dissolved by corrosion of the sulphate acid and anodal electrolysis. The other is powder impurities within solution of electroplating so that chrome tumours were produced on coating surface. Therefore, the author puts forward the technology method that divided times electroplating and welding repair is main and strengthening filtering solution is supplementary. Practice has proved that this way can assure coating of quality efficiently.

**keyWords:** Electroplating, Wear—resisting Chrome

(上接第90页)

## ACTION OF THE CAPACITIVE LOAD ON THE SWITCHING CIRCUIT OUTPUT WAVEFORM

Wei Xiulan

Abstract

(Electrical engineering department)

Abstract

The switching circuit is often used in the pulse digital system. As the switching circuit is acted on by capacitive load, the working speed of the switching circuit is limited. The action of the capacitive load has been analysed and some improvements have been put forward in this paper.

**keyWords:** capacity load, output waveform