

文章编号:1671-6833(2007)02-0068-05

一种用于高速串行接口电路的偏置产生方法及实现

李浩亮, 叶会英, 徐力平

(郑州大学 信息工程学院, 河南 郑州 450001)

摘 要: 提出了一种符合 USB 高速模式的偏置产生方法, 针对常规偏置设计方法特点, 将偏置电路融合于接口电路本身. 介绍了 USB 高速串行接口电路架构, 分析了其中偏置电路的产生机理、设计方法, 最后, 给出了偏置电路的完整实现. 电路前后仿真基于 Cadence 的 spectre 仿真软件, 电路设计和流片基于 TSMC 的 CMOS 0.25 μm 混合信号模型. 前后仿真实验和流片测试结果表明: 基于所设计的偏置, USB 高速模式下的发送器、接收器均可正确工作; 能隙基准部分在输入电压为 2.5 V, 在 $-50 \sim 70^\circ\text{C}$ 范围内, 输出电压稳定在 1.233 7~1.235 6 V, 输出电压变化率为 0.154%.

关键词: 高速串行接口; 偏置; 能隙基准电压源; 发送器; 接收器

中图分类号: TN 401

文献标识码: A

0 引言

USB 已经开始集成到 PC 平台之上, 在 PC 和多媒体类外设进行通讯时, USB2.0 接口芯片更是被广泛使用. 应用于外设的 USB2.0 接口芯片由链接层、物理层组成. 链接层主要是根据协议对原始串行数据进行并串转换、编解码、接受验证等数字化功能. 物理层则负责数据的发送和接收, 主要包括发送器和接收器^[1-2]. 作为数模混合电路, 发送器、接收器都需要在正确的偏置下才能正确工作. 图 1 是带有偏置模块的 USB2.0 接口芯片物理层工作原理方框图.

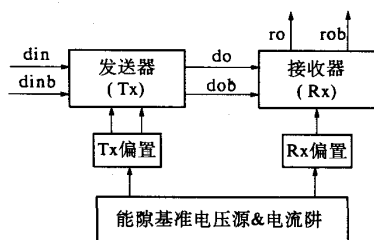


图 1 带偏置模块的 USB2.0 接口芯片物理层

Fig.1 Physical layer with bias in USB2.0

USB2.0 接口芯片物理层可认为由发送器 Tx、接收器 Rx 及相应的偏置组成: Tx 偏置、Rx 偏置分别来自能隙基准电压源和电流阱. 如图 1 所示, 原始高速差分数据 din、dinb (480Mbps) 首先进入发送器, 经过发送器的滤波、放大后得到输出

do、dob, 其再经过串行电缆进入接收器. 然后, 接收器在多相时钟 (图中未标出) 的采样下输出恢复数据 ro、rob. 接口芯片中, 最理想的情况即是最终输出数据在幅值和频率上与最初输入数据完全相同. 这离不开发送器和接收器正确偏置条件, 因此, 偏置以及能隙基准的设计非常关键, 常规做法是将偏置单独设计, 这样不但增加了芯片面积, 而且增大了电路工作不可靠性^[3-5].

笔者设计并实现了一种新颖的、符合 USB 高速模式 (480Mbps 数据传输率) 的偏置产生电路, 偏置电路融合于发送器、接收器电路中. 电路仿真基于 Cadence 的 spectre 仿真软件, 电路设计和流片基于 TSMC 的 CMOS 0.25 μm 混合信号模型. 仿真实验和流片测试结果表明: 基于所设计的偏置, USB 高速模式下的发送器、接收器均可按照 USB2.0 协议正确发送、接收 480Mbps 高速数据.

1 发送器及其偏置

本文中 USB2.0 接口芯片物理层中的发送器由八级发送单元 (Mdc0 ~ Mdc7) 组成, 其原理框图如图 2 所示.



图 2 USB2.0 接口芯片物理层中的发送器电路

Fig.2 Tx of physical layer in USB2.0

收稿日期: 2006-12-29; 修订日期: 2007-03-07

基金项目: 国家“863”高科技计划项目 (2002AA1Z1320)

作者简介: 李浩亮 (1978-), 男, 河南南阳人, 郑州大学讲师, 博士, 主要从事数模混和集成电路设计.

进入发送器的原始高速差分数据 d_{in} 、 d_{inb} 经过八级驱动单元的连续驱动,得到高速差分输出 d_o 、 d_{ob} 。八级驱动单元顺序启动,其输出的累加构成了发送器的最终输出 d_o 、 d_{ob} 。这八级驱动单元均在偏置电压 b_1 、 b_2 所提供的偏置点处工作。每级驱动单元的原理图示意在图3中。差分驱动单元本质上是一个差动放大器,高速输入的差分数据 d_{in} 、 d_{inb} 经 M_1 、 M_2 管栅极输入,由 M_3 、 M_4 漏级输出。而偏置管 M_5 、 M_6 需要分别工作在饱和区和线性区,负责为驱动单元提供正确的偏置点。一般情况下,偏置 b_1 、 b_2 分别直接由能隙基准电压源提供,但在我们的设计中,使用和每级驱动单元(即图3)同样的电路结构来实现 b_1 、 b_2 两个偏置,既节省了芯片面积,又简化了设计。 b_1 、 b_2 的实现如图4所示。其中,最左边的 i_{o1} 、 i_{o2} 来自能隙基准电压源及电流阱,同时,其经过 $Mdc0$ 和 $Mdc1$ 两个单元的钳位处理后作为发送器偏置输出 b_1 、 b_2 。

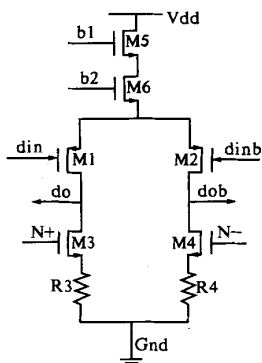


图3 接口芯片物理层中的发送器驱动单元电路

Fig.3 Driver cell of Tx in physical layer

以图4中驱动单元 $Mdc0$ 为例,分析其在 b_2 处提供稳定电压的工作原理:

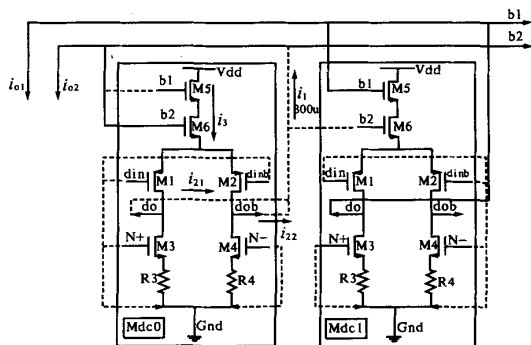


图4 发送器偏置 b_1 、 b_2 实现原理图

Fig.4 Principle of bias in Tx

(1) 电路的输入只有一个电流源 i_{o2} (来自于笔者设计的能隙基准电压源), 输出为 b_2 , 由于输出反馈至输入, 应用反馈原理在 b_2 处提供稳定电压, 使得 b_2 电压得以稳定, 抗干扰性随之增强。

(2) 图中下面两个 NMOS 管 M_3 、 M_4 的栅极接地, 屏蔽了其作用之后, 因此回路只能在 M_1 、 M_2 、 M_5 、 M_6 之间形成。

(3) 由于输入端电流 i_{o2} 固定 (以 $300 \mu A$ 为例), 因此输出端 i_1 必定为同样的 $300 \mu A$ (见图4) $\rightarrow M_1$ 、 M_2 漏极电流 i_{21} 、 i_{22} 分别为 $150 \mu A$ (因为这两个管子相同) \rightarrow 这又将 M_5 、 M_6 的电流固定在 $300 \mu A$ \rightarrow 当其电流固定时, 栅极电压也必固定。

基于 TSMC 的 $0.25 \mu m$ 混合信号库, 使用 CADENCE 的 spectre 仿真工具对图4电路进行仿真知 b_2 处电压稳定在 $0.88 V$; 同样原理可知第二个驱动单元 $Mdc2$ 将 b_1 处电压稳定在 $1.37 V$ 。

2 接收器及其偏置

提出的接收器结构图如图5所示。接收器在整体上分为两个模块: 放大模块和采样保持模块 (n 级)。放大模块 (差分放大器) 首先将接收器的输入数据 d_o 、 d_{ob} (来自发送器并经过电缆传输的数据) 进行放大, 采样保持模块则在 n 级采样时钟的采样下对放大后的差分数据 dx 、 dx_b 进行过采样。同时, 放大模块为采样保持模块提供偏置电压 b_3 。放大模块的结构框图如图6所示。

图6中最左边 b_3 处连至由能隙基准电压源、电流阱镜像产生的稳定电流, 最右侧 b_3 处连至接收器中的采样保持模块输入 (晶体管栅极), 因此放大模块将 M_3 漏级电流钳位至 b_3 , 从而使得栅极电压得到固定。因此输入了固定栅极电压值的 M_4 管漏级电流即为定值。仿真得其值为 $1.78 V$ 。

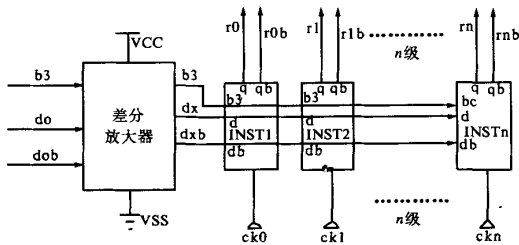


图5 接口芯片物理层中的接收器电路

Fig.5 Rx of physical layer in USB2.0

4 整体电路仿真结果

用 Cadence 的混合信号仿真工具——SPECTRE 以及 TSMC 的 $0.25\ \mu\text{m}$ 混合信号模型库对所设计的电路进行了仿真. 图 10 是发送器偏置及发送器输入、输出波形图. 图中下面的 di 为高速差分输入数据, 幅值为 $2.5\ \text{V}$, 频率为 $480\ \text{M}$; 上面为发送器的偏置电压值 b1、b2, 可以看出分别稳定在 1.37 和 $0.88\ \text{V}$. 中间为发送器的输出 do, 输出电平幅值为 $400\ \text{mV}$, 数据传输速率为 $480\ \text{Mbps}$, 电平转换时间为 $1\ \text{ns}$, 均符合 USB2.0 协议.

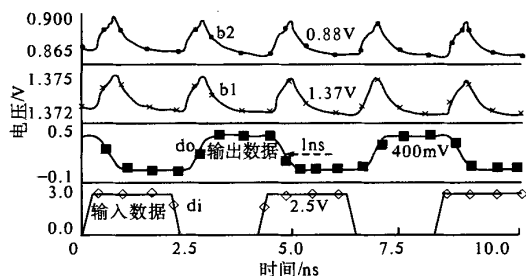


图 10 发送器及发送器偏置仿真波形图

Fig. 10 Simulation graph in Tx with bandgap

图 11 是接收器偏置及接收器输入、输出波形图. 图中上方的 do 为来自发送器 (电缆) 输出的高速数据 (幅值 $400\ \text{mV}$, 数据传输率 $480\ \text{Mbps}$, 电平转换时间 $1\ \text{ns}$), 下面的 b3 为接收器偏置电压, 可看出其稳定在 $1.78\ \text{V}$. 中间的 r0、r0b 为接收器经多路采样后的第一路输出波形图 (为简化, 这里仅示意了一路). 因此, 接收器在偏置“b3”所提供的正确偏置电压下按照 USB2.0 协议接收数据.

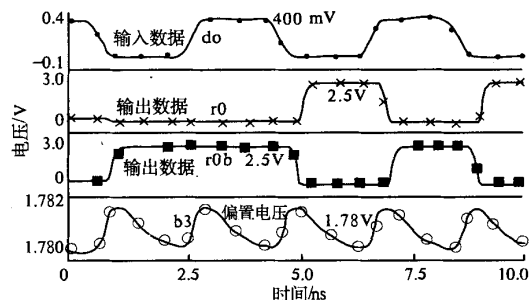


图 11 接收器及接收器偏置仿真波形图

Fig. 11 Simulation graph in Rx with bandgap

($480\ \text{Mbps}$ 数据传输率) 的偏置产生电路, 并给出了其完整实现. 电路仿真基于 Cadence 的 spectre 仿真软件, 电路设计基于 TSMC 的 $\text{CMOS } 0.25\ \mu\text{m}$ 混合信号模型. 其中, 对作为整个偏置电路核心和基础的能隙基准电压源部分进行了流片和测试, 结果表明, 能隙基准电压源在输入电压为 $2.5\ \text{V}$ 的条件下, 在 $-50 \sim 70\ ^\circ\text{C}$ 的温度范围内, 输出电压稳定在 $1.2337 \sim 1.2356\ \text{V}$, 输出电压变化率仅为 0.154% . USB 高速模式下的发送器、接收器分别在基于能隙基准电压源基础上的偏置电路下按照 USB2.0 协议要求发送和接收 $480\ \text{Mbps}$ 高速数据.

参考文献:

- [1] 于英民, 于佳. 计算机接口技术[M]. 第3版. 北京: 电子工业出版社, 2004: 20-35.
- [2] 方舒燕, 陈新军. USB 通信驱动程序设计[J]. 郑州大学学报(工学版) 2005, 26(1): 100-103.
- [3] 许仿, 黄中砥. 远距离串行通信接口电路的设计[J]. 郑州大学学报(理学版), 2002, 34(3): 57-59.
- [4] TERADA T, YOSHIKUNI S, MUQSITH M, et al. A CMOS ultra-wideband impulse radio transceiver for 1-mb/s data communications and $\pm 2.5\text{-cm}$ range finding[J]. IEEE Journal of Solid-State Circuits, 2006, 41(4): 891-898.
- [5] MAEDA T, MATSUNO N, HORI S, et al. A low-power dual-band triple-mode WLAN CMOS Transceiver[J]. IEEE Journal of Solid-State Circuits, 2006, 41(11): 2481-2490.
- [6] SANDHYA G, WILLIAM B. A3 to 5V CMOS bandgap voltage reference with novel trimming[J]. Circuits and Systems, 1996, 8(2): 969-972.
- [7] SHENG J G, CHEN Z L, SHI B X. A1V supply area effective CMOS bandgap reference[A]. 2003 5th International Conference on ASIC Proceedings[C]. Beijing: IEEE PRESS, 2003: 619-622.
- [8] YANG L, SHI Y F, LI L, et al. CMOS bandgap voltage reference with 1.8V power supply[A]. 2003 5th International Conference on ASIC Proceedings[C]. Beijing: IEEE PRESS, 2003: 611-613.
- [9] VERMAAS L L G, DE MORI C R T, MORENO R L, et al. A bandgap voltage reference using digital CMOS process[J]. Electronics, Circuits and Systems, 1998, 9(2): 303-306.

5 结论

作者提出了一种新颖的、符合 USB 高速模式

Design and Implement of Bias – generator Circuit for High-speed Serial Data Link

LI Hao – liang, YE Hui – ying, XU Li – ping

(School of Information Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: This paper proposed a new bias-generator for high – speed serial data link based upon USB 2.0. The paper started with top architecture of high-speed serial data link, which is followed by design idea in bias topology. Lastly, the paper bring forward overall implement of the bias. The circuit simulation is based on Cadence's spectre software and Taiwan Semiconductor Manufacture Corporation's library of 0.25um mixed-signal complementary metal-oxide semiconductor model. The front and post-simulation, test results revealed that, based on the bias circuit designed, transmitter and receiver in high-speed serial link can both work properly with high-speed data in 480 Mbps, which is in agreement with USB 2.0 specification.

Key words: high-speed serial link; bias; bandgap; transmitter; receiver

(上接第 56 页)

Study on the Heat Insulation Effect of Infrared Radiation Coatings

HOU Cui – hong, SUN Ji – mei, ZHANG Bao – lin, GAO Wei – heng, CHEN Jin – yu

(School of Chemical Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: Infrared radiation coatings with heat insulation function were prepared by dispersing nano-inorganic compound powder in acrylate resin, and were coated on the glass substrates, the heat insulation effect were examined by using self – designed apparatus. Experiments were conducted to evaluate the main factors such as coating thickness, pigment consumption etc. on the effect of the heat insulation, which indicated that the coating has obvious heat insulation function after the nano-inorganic compound powder was added in, and its function was strengthened with the increasing of nano – inorganic compound powder consumption. The simulated experiments indicated that the functional coatings could decrease the cell temperature by 9℃ compared with that of the general coating.

Key words: infrared radiation coating; heat insulation; nano-meter pigment; glasses